



Institut für Technische Informatik

Lehrstuhl für Rechnerarchitektur und Parallelverarbeitung

Prof. Dr. rer. nat. Wolfgang Karl

# **Klausur Rechnerstrukturen Sommersemester 2014 Aufgabenteil**

6. August 2014

## Aufgabe 1: Fertigungskosten, HW-Entwurf und Fehlertoleranz

12 P

### Fertigungskosten

3 P

Bei der Umstellung einer Fabrik zur IC-Fertigung wird die Wafergröße (Durchmesser) vergrößert. Alle anderen Kenngrößen wie etwa Fertigungstechnologie oder Die-Größe ändern sich nicht.

- Wie berechnet man die Anzahl an Dies pro Wafer ( $dpw$ )? Geben Sie eine allgemeine Formel an und benennen Sie die Teile. 1 P
- Wieso sind größere Wafer besser für den Fertigungsprozess? Worauf ist diese Beobachtung zurückzuführen? Hinweis: Beachten Sie hierbei, wie sich die Kenngröße  $dpw$  zusammensetzt. 1 P
- Aus welchen Teilen setzen sich die Herstellungskosten eines integrierten Schaltkreises ( $cost_{IC}$ ) zusammen? 1 P

### Hardwareentwurf

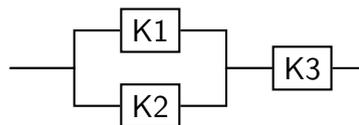
3 P

- Nennen Sie die zwei wichtigsten Hauptbestandteile, die mindestens notwendig sind, um eine Schaltung in VHDL zu beschreiben und erklären sie jeweils ganz kurz deren Aufgabe (je 1 Satz). 2 P
- Geben Sie eine andere Version des dargestellten Quelltextes in VHDL an: 1 P  
 $c \leq (a \text{ and not } (b)) \text{ or } (\text{not } (a) \text{ and } b);$

### Fehlertoleranz

6 P

- Geben Sie die Systemfunktion für das System an, das durch das folgende Zuverlässigkeitsblockdiagramm beschrieben wird: 0,5 P



- Erstellen Sie für das System den dazugehörigen Fehlerbaum 1 P
- Bestimmte Systeme weisen nur eine bestimmte Art von Ausfallverhalten auf. Ordnen Sie die folgenden Ausfallverhalten den auf dem Lösungsblatt angegebenen Systemen zu: Anhalteausfall, unkritische Ausfälle, Unterlassungsausfall 1,5 P
- Ein Netzwerkknoten sei als Fail-Silent-System implementiert. Was bedeutet dies hinsichtlich der Aussendung von Nachrichten durch diesen Knoten? Worin liegt der Unterschied zu einem Fail-Stop-System? 1 P
- Was versteht man unter statischer Redundanz? Nennen Sie ein Beispiel. 1 P
- Was versteht man unter dynamischer Redundanz? 1 P

## Aufgabe 2: Parallelismus auf Befehlsebene und Sprungvorhersage

10 P

### Parallelismus auf Befehlsebene

5 P

- a) Erklären Sie das Grundprinzip der Parallelverarbeitung mit Hilfe von Pipelining. 1 P
- b) Ein Programm mit  $n$  Befehlen wird auf einem RISC-Prozessor mit einer  $k$ -stufigen Pipeline ausgeführt. Jeder Befehl benötigt  $k$  Taktzyklen Ausführungszeit. Welche Beschleunigung lässt sich durch die Pipeline erreichen? 1 P
- c) Ein Programm setzt sich aus mehreren Befehlen zusammen, zwischen denen verschiedene Abhängigkeiten bestehen können. Welcher Pipeline-Konflikt kann sich durch echte Datenabhängigkeiten in einem RISC-Prozessor ergeben? Erklären Sie den Konflikt in einem Satz! 1 P
- d) Warum müssen echte Datenabhängigkeiten bei der Ausführung des Programms auf einem RISC-Prozessor nicht unbedingt zu einem Pipeline-Konflikt führen? 1 P
- e) Was kann sich daran bei der Ausführung auf einem superskalaren Prozessor mit dynamischem Scheduling ändern? 1 P

### Sprungvorhersage

5 P

Ein Prozessor verwendet pro Sprungbefehl einen eigenen 2-Bit-Prädiktor mit Hysteresezähler. Folgendes Codefragment wird auf dem Prozessor ausgeführt:

```

                MOV r0, #1          ; r0=1
loop1:         MOV r1, #3          ; r1=3
loop2:         <...>              ; (Schleifenkörper)
                SUB r1, r1, #1     ; r1=r1-1
                BNEQZ r1, loop2    ; goto loop2, wenn nicht r1==0
                SUB r0, r0, #1     ; r0=r0-1
                BEQZ r0, loop1     ; goto loop1, wenn r0==0

```

- f) Die beiden Prädiktoren werden jeweils mit dem Zustand Predikt Strongly Not Taken (SNT) initialisiert. Tragen Sie hierfür Registerinhalt, alten und neuen Zustand des jeweiligen Prädiktors, sowie den Ausgang der Vorhersage in die dafür vorgesehene Tabelle. (Markieren Sie Fehlvorhersagen mit "falsch", korrekte Vorhersagen mit "richtig".) 4 P
- g) Wäre es besser, den Prädiktor für loop1 mit WT zu initialisieren? Begründen Sie Ihre Antwort. 1 P

---

## Aufgabe 3: Parallelverarbeitung und Architekturen 10 P

### Quantitative Maßzahlen 5 P

- a) Geben Sie die Formel für das Gesetz von Amdahl an und erklären Sie die Bedeutung der unterschiedlichen Teile der Formel. 1 P
- b) Was lässt sich aus dieser Formel für die maximal erreichbare Beschleunigung ableiten? Leiten Sie mit Hilfe von Amdahls Gesetz eine einfache Formel her und geben Sie eine kurze Erklärung an. 1 P
- c) Vervollständigen Sie den Satz auf dem Lösungsblatt zur algorithmenunabhängigen Definition der Beschleunigung. 1 P
- d) Was ist das Problem der algorithmenabhängigen Definition? 1 P
- e) Eine Berechnung, die auf einem Einprozessorsystem  $T(1) = 200$  Sekunden Rechenzeit benötigt, liefert auf einem Mehrprozessorsystem mit 10 Prozessoren nach  $T(10) = 15$  Sekunden ein Ergebnis. Wie nennt man dieses Verhalten und welcher Abschätzung der Beschleunigung widerspricht es? 1 P

### Parallele Architekturen 5 P

- f) Welche vier Architekturtypen definiert die Klassifikation nach Flynn? 1 P
- g) In welche Klasse fallen typischerweise Systeme, die auf nachrichtenorientierten Multiprozessoren basieren? Und in welche Klasse fallen Systeme mit Vektorrechner? 1 P
- h) Für was stehen die Abkürzungen NORMA, NUMA sowie UMA? Ordnen Sie die Begriffe außerdem dem jeweils entsprechenden Multiprozessorsystem zu. Zur Auswahl stehen:
- ein „Multiprozessor mit gemeinsamem Speicher“
  - ein „Multiprozessor mit verteiltem gemeinsamen Speicher“
  - ein „Multiprozessor mit verteiltem Speicher“
- i) Nennen Sie mindestens drei Herausforderungen beim Entwurf von ExaScale-Rechnern. 1,5 P

## Aufgabe 4: Verbindungsstrukturen und Vektorverarbeitung

**8 P**

### Verbindungsstrukturen

**5 P**

- a) Was versteht man unter der Skalierbarkeit eines Verbindungsnetzes? **1 P**
- b) Bewerten Sie für einen n-dimensionalen Hyperwürfel die Skalierbarkeit des Verbindungsnetzes hinsichtlich Erweiterbarkeit um zusätzliche Knoten! Begründen Sie Ihre Behauptung! **1 P**
- c) Welche Bedingung muss bei einem fehlertoleranten Netzwerk erfüllt sein? **1 P**
- d) Zeichnen Sie das Grundmuster der Mischpermutation mit 8 Eingängen und 8 Ausgängen auf. Verwenden Sie hierfür als Hilfe die Vorgaben in den Lösungsblättern. **1 P**
- e) In den letzten Jahren werden vermehrt Höchstleistungsrechner zur Berechnung von Aufgaben im Rahmen von „Big Data“ entwickelt und eingesetzt. Wieso ist bei diesen System die Latenz des Netzwerks von besonderem Interesse? **1 P**

### Vektorverarbeitung

**3 P**

- f) Durch welche Methode kann die Ausführung einer Folge voneinander abhängiger Vektoroperationen beschleunigt werden? Erklären Sie diese kurz. **1 P**
- g) In Vektorrechnern werden verschiedene Methoden eingesetzt, um Parallelität auf unterschiedlichen Ebenen auszunutzen. Nennen Sie 4 verschiedene Möglichkeiten zur Realisierung von Parallelität in einem Vektorrechner. **2 P**

## Aufgabe 5: Low-Power-Entwurf & Rechnerbewertung 10 P

### Low-Power-Entwurf 4 P

Gegeben sei die Schaltfunktion  $f = \neg(A \vee B)$  mit den Eingangswahrscheinlichkeiten  $\mathbb{P}_{A \text{ Eingang}=1} = \frac{1}{3}$  und  $\mathbb{P}_{B \text{ Eingang}=1} = \frac{1}{2}$ .

- a) Geben Sie eine Funktion  $g$  als weitere schaltungstechnische Umsetzung der Funktion  $f$  an, die anstelle des ODER-Gatters ein UND-Gatter verwendet. 1 P
- b) Berechnen Sie die Signalwahrscheinlichkeiten der Funktionen  $f$  und  $g$ . 1 P
- c) Berechnen Sie für die Funktionen  $f$  und  $g$  die Schaltwahrscheinlichkeiten der einzelnen Gatter mit der aus der Übung bekannten Formel. (Es sollen auch die Schaltwahrscheinlichkeiten der Inverter berechnet werden) 2 P

### Leistungsbewertung 6 P

- d) Auf einem 4 GHz-Prozessor wird ein Benchmark abgearbeitet. Nachfolgende Tabelle listet die auftretenden Befehlstypen mit Häufigkeit und jeweiliger Zyklenzahl. 3 P

Befehle	Anzahl in $10^3$	Zyklenzahl
Befehlstyp 1	750	1
Befehlstyp 2	500	4
Befehlstyp 3	150	5
Befehlstyp 4	200	10

Durch Einsatz einer neuen Funktionseinheit für Befehlstyp 2 kann die Anzahl der Zyklen, die für eine Operation des Befehlstyps 2 benötigt wird, von 4 auf 2 Zyklen reduziert werden. Berechnen Sie die sich daraus resultierende Beschleunigung (Speed-Up) der Ausführungszeit. Berechnen Sie außerdem für beide Einheiten jeweils deren MIPS-Wert.

- e) Was ist der Unterschied zwischen SPECrate und SPECratio? 1 P
- f) Warum wird bei der SPEC-Benchmarksuite das geometrische und nicht das arithmetische Mittel verwendet? 1 P
- g) Wie berechnet sich die SPECratio für einen Benchmark x? 1 P

## Aufgabe 6: Speicherhierarchie

11 P

### Cache-Kohärenzprotokoll MESI

7 P

Ein Zweiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cache-Zeilen, die jeweils genau ein Speicherwort aufnehmen können. Sofern noch freie Zeilen zur Verfügung stehen, erfolgt die Füllung des Caches von der niedrigsten Cache-Zeile aufwärts, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MESI-Protokoll zum Einsatz. Der Cache sei initial leer. Aktionen, die durch das Cache-Kohärenzprotokoll ausgelöst werden und die eine Zustandsänderung einer Cache-Zeile bewirken, werden auch von der LRU-Strategie als Zugriff gewertet.

- a) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MESI-Zustand an. 4 P
- b) Welcher Zustand des MESI-Protokolls wird für die Erhaltung konsistenter Daten nicht benötigt? Begründen Sie dies. 2 P
- c) Warum ist es trotzdem sinnvoll diesen Zustand zu verwenden? 1 P

### Cache-Leistung

4 P

Für ein System stehen drei verschiedene Cache-Varianten zur Verfügung. Variante A ist eine zweistufige Cache-Hierarchie, wobei alle Ebenen gleichzeitig (parallel) angefragt werden. Variante B ist ebenfalls zweistufig, die verschiedenen Ebenen werden aber nacheinander (sequentiell) angefragt. Variante C besitzt nur eine Cache-Ebene, die Anfragen werden hier aber wieder gleichzeitig (parallel) durchgeführt. Das System darf eine durchschnittliche Antwortzeit von maximal  $16 ns$  nicht überschreiten.

	Variante A	Variante B	Variante C
Zugriffszeit L1	$8 ns$	$6 ns$	$6 ns$
Hitrate L1	75 %	75 %	90 %
Zugriffszeit L2	$20 ns$	$24 ns$	-
Hitrate L2	80 %	80 %	-
Zugriffszeit Hauptspeicher	$100 ns$	$100 ns$	$100 ns$

- d) Berechnen Sie die durchschnittlichen Antwortzeiten der drei Varianten und geben Sie an, welche der Varianten für das System infrage kommen. 3 P
- e) Was besagt die 90/10 Regel, die für die Verwendung von Caches eine wichtige Rolle spielt? 1 P

# Klausur Rechnerstrukturen Sommersemester 2014 Lösungsteil

Name: \_\_\_\_\_  
 Vorname: \_\_\_\_\_  
 Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- ( ) Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett!  
*(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)*

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/12	/10	/10	/8	/10	/11
Summe:						/61

## Lösung 1: Fertigungskosten, HW-Entwurf und Fehlertoleranz

*12 P*

### Fertigungskosten

*3 P*

a)

*1 P*

b)

*1 P*

c)

*1 P*

### Hardwareentwurf

*3 P*

d) •

*2 P*

•

e)

*1 P*

### Fehlertoleranz

*6 P*

f)

*0,5 P*

g)

*1 P*

Name:

Matrikelnummer:

3/10

---

- h)    • Fail-silent-System: *1,5 P*  
      • Fail-stop-System:  
      • Fail-safe-System:
- i) *1 P*
- j) *1 P*
- k) *1 P*

## Lösung 2: Parallelismus auf Befehlsebene und Sprungvorhersage

10 P

### Parallelismus auf Befehlsebene

5 P

a)

1 P

b)

1 P

c)

1 P

d)

1 P

e)

1 P

### Sprungvorhersage

5 P

f)

Befehl	Inhalt		Prädiktor loop1			Prädiktor loop2		
	r0	r1	alt	Vorhersage	neu	alt	Vorhersage	neu
Init	1	3	-	-	SNT	-	-	SNT
BNEQZ r1, loop2								
BNEQZ r1, loop2								
BNEQZ r1, loop2								
BEQZ r0, loop1								
BNEQZ r1, loop2								
BNEQZ r1, loop2								
BNEQZ r1, loop2								
BEQZ r0, loop1								

4 P

g)

1 P

**Lösung 3: Parallelverarbeitung und Architekturen***10 P***Quantitative Maßzahlen***5 P*

a)

*1 P*

b)

*1 P*

c) Die absolute Beschleunigung und absolute Effizienz erhält man, indem. . .

*1 P*

d)

*1 P*

e)

*1 P***Parallele Architekturen***5 P*

f)

•

*1 P*

•

•

•

g) • Nachrichtenorientierte Multiprozessoren:

*1 P*

• Vektorrechner:

h) Multiprozessor mit:

*1,5 P*

verteiltem Speicher		
gemeinsamem Speicher		
verteiltem gemeinsamen Speicher		

i)

*1,5 P*

## Lösung 4: Verbindungsstrukturen und Vektorverarbeitung

8 P

### Verbindungsstrukturen

5 P

a)

1 P

b)

1 P

c)

1 P

d) Mischpermutation:

1 P

$a_3$	$a_2$	$a_1$	$a_2$	$a_1$	$a_3$
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	1	1	0
1	1	1	1	1	1

e)

1 P

### Vektorverarbeitung

3 P

f)

1 P

g)

- 
- 
- 
- 

2 P

**Lösung 5: Low-Power-Entwurf & Rechnerbewertung** *10 P***Low-Power-Entwurf** *4 P*a) Formel: *1 P*b) Berechnung: *1 P*c) Berechnung: *2 P***Leistungsbewertung** *6 P*d) Rechnung und Antwort: *3 P*

Name:

Matrikelnummer:

8/10

---

e) Antwort:

1 P

f) Antwort:

1 P

g) Antwort:

1 P

**Lösung 6: Speicherhierarchie***11 P***Cache-Kohärenzprotokoll MESI***7 P*

a)

*4 P*

Prozessor	Aktion	Prozessor 1		Prozessor 2	
		Zeile 1	Zeile 2	Zeile 1	Zeile 2
	init	-	-	-	-
1	rd 3				
2	rd 1				
2	rd 3				
1	rd 4				
1	wr 3				
1	rd 5				
2	wr 5				
1	rd 5				
1	rd 1				
2	wr 2				

b) Antwort:

*2 P*

c) Antwort:

*1 P*

Name:

Matrikelnummer:

10/10

---

**Cache-Leistung**

**4 P**

d) Berechnung:

**3 P**

- Variante A:

- Variante B:

- Variante C:

- Antwort:

e) Antwort:

**1 P**